

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-262825

(43)Date of publication of application : 25.10.1990

(51)Int.Cl.

H02H 7/12

(21)Application number : 01-086413

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 05.04.1989

(72)Inventor : MITSUMATA MASATO

(30)Priority

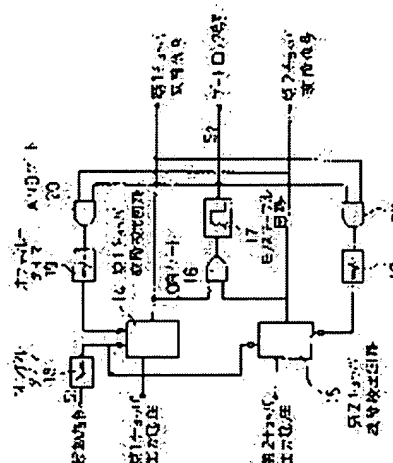
Priority number : 63237244 Priority date : 21.09.1988 Priority country : JP

(54) CONTROLLING CIRCUIT FOR SEMICONDUCTOR CHOPPER DEVICE

(57)Abstract:

PURPOSE: To prevent erroneous detection of faulty condition reliably and to eliminate necessity of charging resistance by providing a means for producing a fault detecting operation stop command over an interval sufficient to finish charging operation required by a communication capacitor in a sound chopper circuit.

CONSTITUTION: A first chopper fault detecting circuit 14 produces a first chopper fault detection signal upon detection of fault. The fault signal is outputted as a gate lock signal. The first chopper fault signal and the gate lock signal are ANDed in an AND gate 20 and fed through an OFF delay timer 19 to a second chopper fault detecting circuit 15 thus locking fault detecting operation. By such arrangement, erroneous detection of fault can be prevented even if the second chopper circuit is disabled until finish of charging operation of the communication capacitor.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-262825

⑬ Int. Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)10月25日

H 02 H 7/12

H 8729-5G

審査請求 未請求 請求項の数 2 (全4頁)

⑮ 発明の名称 半導体チョッパ装置の制御回路

⑯ 特 願 平1-86413

⑰ 出 願 平1(1989)4月5日

優先権主張 ⑱ 昭63(1988)9月21日 ⑲ 日本(JP) ⑳ 特願 昭63-237244

㉑ 発 明 者 三 俣 正 人 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

㉒ 出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

㉓ 代 理 人 弁理士 山口 巖

明 細 書

1. 発明の名称 半導体チョッパ装置の制御回路

2. 特許請求の範囲

1) 並列接続された2組のチョッパ回路を有し、該2組の回路が一周期ごとに交互にチョッピング動作を繰返す半導体チョッパ装置において、一方のチョッパ回路に故障が発生した際にその故障検出回路による故障検出信号を受け、他方の健全なチョッパ回路の転流コンデンサにおける所要の充電が完了するに十分な期間にわたり、前記健全なチョッパ回路における故障検出回路の故障検出動作停止指令を発する手段を設けてなることを特徴とする半導体チョッパ装置の制御回路。

2) 請求項1記載の半導体チョッパ装置の制御回路において、一方のチョッパ回路故障時の他方の健全なチョッパ回路における故障検出回路の故障検出動作停止指令に代えて、前記の故障側チョッパ回路のゲートロック動作は継続すると共に前記故障検出動作停止指令と同様の期間にわたり前記2組のチョッパ回路における故障検出回路それ

ぞれに対する故障検出動作停止指令を発する手段を設けてなることを特徴とする半導体チョッパ装置の制御回路。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は2組のチョッパ回路が一周期ごとに交互にチョッピング動作を繰返す半導体チョッパ装置の制御回路に関する。

(従来の技術)

従来のこの種チョッパ装置の主回路図及び制御回路の故障検出部回路図としてはそれぞれ第4図と第5図とに例示するものが知られている。

第4図において、1は直流電源、2はしや断器である。また図中一点鎖線で囲まれた2組のチョッパ回路は、以下第1と第2のチョッパ回路と称するが、それぞれ逆導通形の補助サイリスタ5と転流リアクトル6と転流コンデンサ7との直列接続を主サイリスタ4に並列に接続して構成され、更に該両回路はそれぞれの入出力側において前記しや断器2を介して並列に接続され、且つ制御回

路3により交互にチョッピング動作を繰返すように制御されている。また8は前記コンデンサ7に対する充電加速用の充電抵抗、9はフリーホイールダイオード、10はフィルタリアクトル、11はフィルタ抵抗、12はフィルタコンデンサ、13は負荷である。

次に第5図において、14と15とは前記第1と第2のチョッパ回路にそれぞれ対応する第1と第2のチョッパ故障検出回路であり、それぞれ対応するチョッパ回路の出力電圧を入力とし点弧失敗検出用タイマによるチョッパ故障信号を出力する。16は前記両故障検出回路14と15との出力故障信号を入力とするORゲート、17は該ORゲートの出力信号を受け前記第1と第2の両チョッパ回路に対するゲートロック信号を出力するモノステーブル回路であり、該ゲートロック信号により故障発生時点から一定の期間にわたり健全なチョッパ回路のゲート駆動信号をロックしてその点弧及び消弧動作を凍結し、前記転流コンデンサ7のチャージを確保して前記健全なチョッパ回路

への転流失敗事故の波及を防止している。

また18はオンディレータイマであり、前記両故障検出回路14と15とに対する起動指令を一定時間遅らせ、前記チョッパ装置起動時の動作不安定期間における故障誤検出の防止を行うものである。

(発明が解決しようとする課題)

上記の如く2組のチョッパ回路を並列に接続し交互にチョッピング動作を繰返すような構成のチョッパ装置では、一方のチョッパ回路が転流失敗するとこの故障したチョッパ回路を主回路から切離し残る一方の健全なチョッパ回路のみで運転を継続するが、故障を検出してから故障したチョッパ回路が主回路から切離されるまでの期間は、故障したチョッパ回路は完全に導通状態となり健全なチョッパ回路をバイパスする回路が構成されてしまう。その結果前記の健全なチョッパ回路に流れる電流は減少し、その際健全なチョッパ回路が点弧・消弧を繰返していると、その転流コンデンサのチャージが不足して健全なチョッパ回路まで

が転流失敗を起す可能性がある。このためチョッパ故障検出回路からのゲートロック信号によって故障発生時点より一定の期間健全なチョッパ回路のゲート駆動信号をロックし、点弧及び消弧動作を凍結し転流コンデンサのチャージを確保するが、前記のゲートロックの期間中健全なチョッパ回路は消弧の状態となり、故障検出回路の点弧失敗検出用タイマが動作を開始する。従ってゲートロック用のモノステーブル回路の動作時間が前記点弧失敗検出用タイマの設定時間よりも長ければ、前記故障検出回路は前記の健全なチョッパ回路を点弧失敗状態として誤検出してしまう。従ってこの誤検出を防止するために前記モノステーブル回路の動作時間は故障検出用タイマの設定時間より短い時間でなければならない。しかしながら、そのような短い時間では転流コンデンサに十分な充電が行えず、従って従来は第4図に示す如く転流コンデンサ7の充電を早める為に充電抵抗8を主回路に設けて前記のゲートロックの期間内に充電を完了するようにしていた。

前記充電抵抗の設置は前記チョッパ装置の大形化と共に抵抗発熱による装置内温度上昇を来とし、それらの対策によるコスト上昇を招いていた。

上記に鑑み本発明は、前記の如き故障状態の誤検出を確実に防止し且つ前記充電抵抗を不要とするチョッパ装置用制御回路の提供を目的とする。

(課題を解決するための手段)

上記目的を達成するために、本発明の半導体チョッパ装置の制御回路においては、並列接続された2組のチョッパ回路を有し、該2組の回路が一周期ごとに交互にチョッピング動作を繰返す半導体チョッパ装置において、一方のチョッパ回路に故障が発生した際にその故障検出回路による故障検出信号を受け、他方の健全なチョッパ回路の転流コンデンサにおける所要の充電が完了するに十分な期間にわたり、前記健全なチョッパ回路における故障検出回路の故障検出動作停止指令を発する手段を設けるか、或いは前記の如き一方のチョッパ回路故障時の他方の健全なチョッパ回路における故障検出回路の故障検出動作停止指令に代え

て、前記の故障側チョッパ回路のゲートロック動作は継続すると共に前記故障検出動作停止指令と同様の期間にわたり前記2組のチョッパ回路における故障検出回路それぞれに対する故障検出動作停止指令を発する手段を設けるものとする。

(作用)

本発明によれば、第1または第2のチョッパ故障検出回路のいずれか一方が故障を検出すると、残る他方の故障検出回路に対してゲートロックの期間中にその故障検出動作をロックするようにした為、ゲートロック用のモノステーブル回路動作時間を故障検出回路のタイマ設定時間に制約されることなく、転流コンデンサの充電時間に合わせて設定可能となり、従って前記コンデンサの充電加速用の充電抵抗も不要となる。

(実施例)

以下この発明の実施例を図面により説明する。第1図と第2図とはこの発明の実施例を示すチョッパ装置制御回路の故障検出部回路図、第3図は第2図の動作タイムチャートである。

2チョッパ故障検出回路15に入力されてその故障検出動作をロックする。これにより第2チョッパ回路が転流コンデンサが充電完了するまでその動作を停止していても、誤って故障を検出することを防止できる。

次に第2図は第5図に示す回路図において、起動指令信号 S_1 とゲートロック信号 S_2 とを入力とするANDゲート21を設け、該ANDゲートの出力信号を前記の如きチョッパ装置起動時の故障検出防止用タイマ18に入力し、該タイマの不出力状態期間における前記両故障検出回路14と15とにおける動作ロックを行うものであり、前記タイマ18の出力信号 S_3 と前記信号 S_1 と S_2 との変化模様は第3図に示すタイムチャートの如くなる。

第3図に示す如く、第2図の場合における前記モノステーブル回路17の出力信号 S_4 はチョッパ回路故障発生と共にその出力を時間 T_m 間レベルしとなり、前記タイマ18による遅延時間 T_s との和時間 $T_m + T_s$ 間にわたり前記の如き故障

なお第1図と第2図とにおいては第5図に示す従来技術の実施例の場合と同一機能の構成要素に対しては同一の表示符号を附している。

第1図は第5図に示す回路において、ゲートロック信号を共通とし第1または第2のチョッパ故障検出信号をそれぞれ入力とする2組の2入力ANDゲート20と、この両ANDゲートの出力信号をそれぞれ入力とする2組のオフディレータイマ19とを設け、この両タイマの出力をそれぞれ第1と第2のチョッパ故障検出回路14と15とに対する故障検出動作ロック信号として入力するものである。

今、第1チョッパ故障検出回路14が故障を検出したとすると第1チョッパ故障検出信号が出力される。この故障検出信号はORゲート16を介してモノステーブル回路17に入力され、所定時間(転流コンデンサの充電時間)のゲートロック信号として出力される。また前記第1チョッパ故障検出信号とゲートロック信号とはANDゲート20によって論理積され、オフディレータイマ19を介して第

検出動作のロックが行われる。

(発明の効果)

本発明によれば、ゲートロックの時間を故障検出回路のタイマ時間を考慮せずに転流コンデンサの充電時間にあわせて設定できる為、転流コンデンサの充電加速用の充電抵抗を主回路から削除することができる。これによってチョッパ装置の小型化とコスト低減とが可能になるとともに、余分の発熱源を取り除いたことによって装置内の他の機器への悪影響を防ぐことができる。また、ゲートロック信号をその動作条件の1つとするタイマを設けたことにより、ゲートロックを解除して直ちに制御系及び被制御系が追従できない場合でも、制御系及び被制御系の特性に合わせてタイマ時間を適当に設定することにより、ゲートロック解除直後の出力波形の乱れまたは遅れ等による故障の誤検出を防ぐことができ、より安定した制御が可能となる。

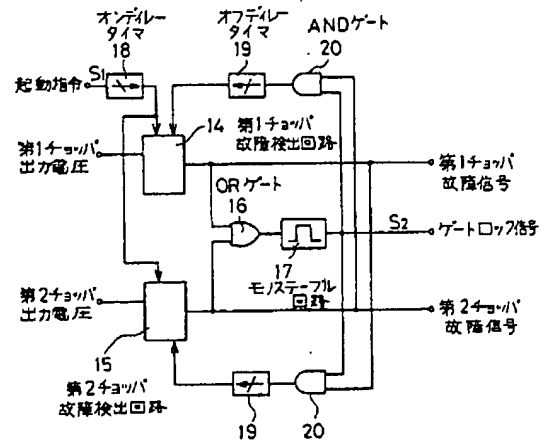
4. 図面の簡単な説明

第1図と第2図とは本発明の実施例を示す回路

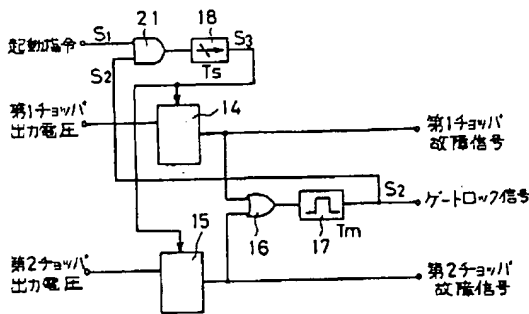
図、第3図は第2図の動作タイムチャート、第4図は従来の制御回路を用いた場合のチョッパ装置の主回路図、第5図は第1図と第2図とに対応する従来技術の実施例を示す回路図である。

1…直流電源、2…レギュレータ、3…制御回路、4…主サイリスタ、5…補助サイリスタ、6…転流リアクトル、7…転流コンデンサ、8…充電抵抗、9…フリーホイールダイオード、10…フィルタリアクトル、11…フィルタ抵抗、12…フィルタコンデンサ、13…負荷、14…第1チョッパ故障検出回路、15…第2チョッパ故障検出回路、16…ORゲート、17…モノステーブル回路、18…オンディレータイマ、19…オフディレータイマ、20…ANDゲート。

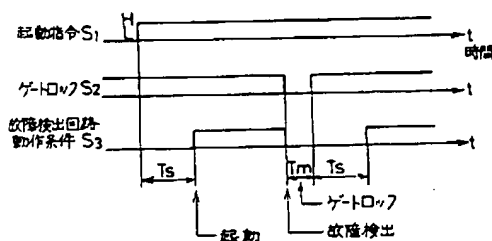
代理人弁護士 山口 豊



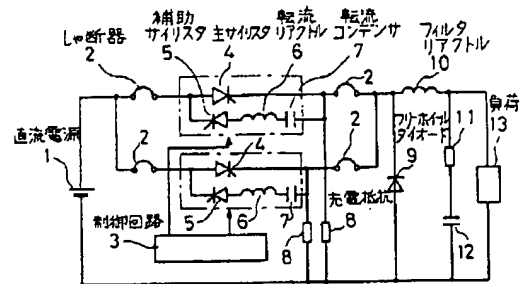
第1図



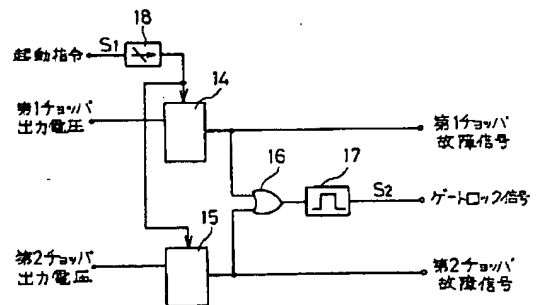
第2図



第3図



第4図



第5図